

Arithmétique du Bull Gamma 3



On peut manipuler un modèle 3D de l'ordinateur Bull Gamma 3 disponible sur Internet. Cliquer un organe de ce modèle fait apparaître une fenêtre d'explication du fonctionnement de l'organe. ([https://www.aconit.org/histoire/Gamma-3/Simulateur 3D/](https://www.aconit.org/histoire/Gamma-3/Simulateur%203D/), travail en cours)

Cet article entreprend d'expliquer les opérations arithmétiques et les mémorisations du Bull Gamma 3

A. Guyot ACONIT



Le calculateur Bull Gamma 3 a été conçu au début des années '50 par une petite équipe d'électroniciens récemment constituée chez Bull, pour se substituer aux calculateurs électromécaniques, comme par exemple la tabulatrice Bull BS 120 et surtout pour répliquer au calculateur IBM 604 commercialisé dès 1948. Le calculateur Gamma 3 n'est devenu un ordinateur qu'avec l'extension tambour (1956) qui permettait le programme enregistré. Jusque-là ce n'était qu'un calculateur programmable (ce qui était déjà beaucoup !). Les ingénieurs de Bull ont finalement conçu le modèle 3M, une version « scientifique » avec une bibliothèque virgule flottante programmée résidente. C'est ce modèle qu'a fait acheter en 1957 le professeur Jean Kuntzmann, devenant ainsi le premier calculateur numérique universitaire de France¹.



*Louis Bolliet et Jean Kuntzmann
(le Gamma 3 est derrière eux)*

Le professeur Louis Bolliet² a monté des cours et des TP de programmation de cette machine en 1959³, là encore probablement les premiers cours universitaires de programmation de France.

1. Technologie du Gamma 3

En ce temps-là, la technologie disponible était le tube à vide (parfois appelé lampe à cause de son enveloppe en verre), inventé en 1906 et perfectionné depuis. Cependant ce composant avait un problème de durée de vie. Un tube durait en moyenne moins d'une dizaine de milliers d'heures (1 à 2 ans), avec une large dispersion. La disponibilité entre deux pannes devenait préoccupante ; plus les tubes étaient nombreux, plus les fautes étaient fréquentes⁴. Le choix technique des électroniciens de Bull fut de réduire le nombre de tubes en basant l'essentiel des circuits logiques sur des diodes et des lignes à retards. Ce choix distingue nettement Bull de ses concurrents, notamment d'IBM, pour la technologie électronique de « première génération ». Outre minimiser le nombre de tubes ; il fallait aussi améliorer la réparabilité donc l'accessibilité aux composants pour remplacer les tubes en panne.

2. Maintenance préventive

Les tubes sont embrochés et donc faciles à replacer. Avec le temps, les caractéristiques électroniques du tube se dégradent (graceful degradation) par empoisonnement de la couche émissive de la cathode. Plutôt que d'attendre la panne, on va repérer les tubes dont les caractéristiques sont dégradées et les remplacer par des neufs. Pour cela on diminue la tension d'alimentation de la machine (de 40%) ce qui dégrade les caractéristiques de tous les tubes, les plus chétifs provoquant alors des erreurs, ce qui permet de les repérer.

3. Ordinateur « 1-bit »

Les ordinateurs « 1-bit » ou « en série » ont des chemins de donnée et surtout une unité arithmétique qui traite 1 bit à la fois, et donc utilise peu de tube. L'ingénieur Bruno Leclerc a vérifié que pour la mémorisation en série, on peut utiliser des lignes à retard « inductance-capacité » qui mémorisent des impulsions codant des bits.

Ces impulsions ont besoin d'être échantillonnées puis remises en forme par des « pulse shaper ».

¹ Le professeur Emile Durand installe un IBM 650 à l'université de Toulouse en 1957

² Le professeur Louis Bolliet est un fondateur et président honoraire d'ACONIT

³ C'est la date de son polycopié « PROGRAMMATION GAMMA - ET », disponible en ligne.

⁴ L' IBM 604 comportait 1 250 tubes à vide, le Gamma 3 seulement 400 (sans parler de l'ENIAC de 1945, énorme calculateur décimal contenant 17 468 tubes)

Ces régénérateurs d'impulsion sont pratiquement les seuls éléments actifs du Gamma 3. Après régénération et synchronisation, la ligne à retard est rebouclée pour mémoriser.

4. Mémoires du Gamma 3

Les 15 mémoires de travail de 48 bits du Gamma 3 (total 720 bits soit 90 octets) sont des lignes à retard inductance L capacité C (ou self/condensateur). Les instructions sont dans une mémoire différente. Le temps de parcours d'une ligne à retard est de $172 \mu s$, soit 48 périodes p de l'« horloge bit » à 280 KHz. De cette horloge bit on déduit par division par 4 une « horloge chiffre » de 70 KHz et une « horloge nombre »

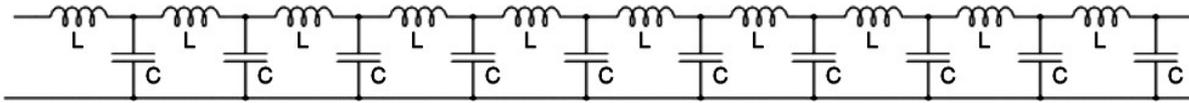


Figure 1 Mémoire à ligne à retard

Sur la photo Figure 2 on distingue les inductances bobinées et les condensateurs plats d'une ligne à retard.

Il y a environ 200 bobines par mémoire, série divisée en 10 blocs de 20 par des « pulse shaper ».

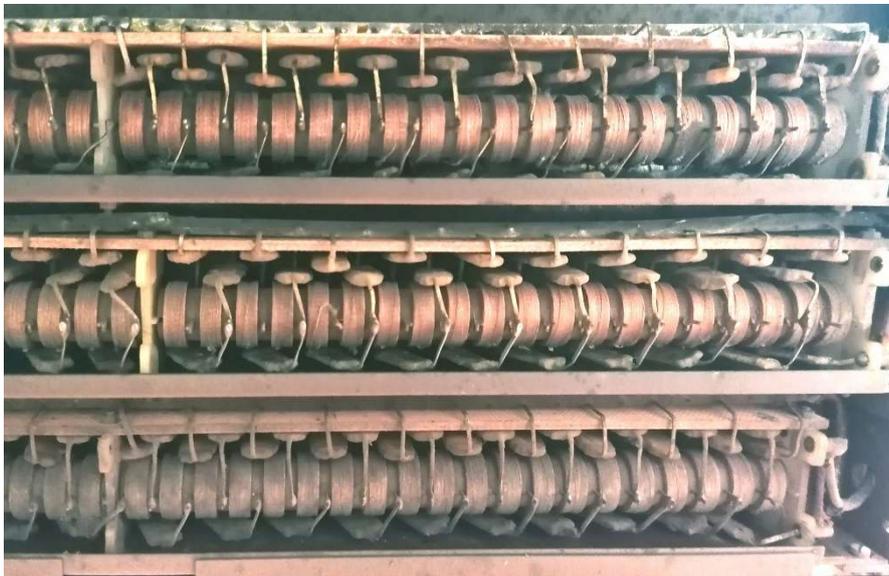


Figure 2 Bobines et condensateurs

En variant le nombre de bobines en série (disons de 0 à 20), on peut ajuster un délai à la valeur que l'on veut, comme on en verra l'utilisation dans la figure 9.

5. Régénération des impulsions

À cause des résistances parasites, une impulsion se déforme en parcourant les lignes à retard. Elle est régénérée et resynchronisée sur l'horloge bit T par un dispositif « pulse shaper » utilisant un tube et quelques composants dont des transformateurs. Il introduit un délai d'environ $0,25$ période p .

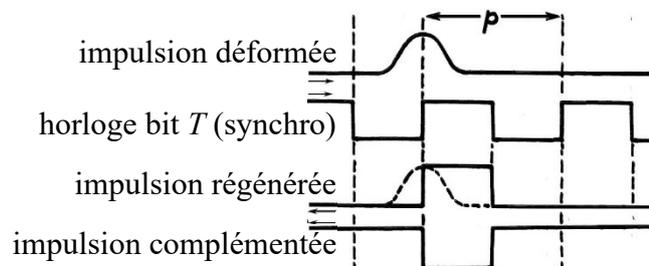


Figure 3 « pulse shaper »
2 entrées en haut, 2 sorties en bas

6. Logique du Gamma 3

Les portes logiques du Gamma 3 utilisent un réseau de diodes à pointe au germanium et des résistances. Les diodes évitent la rétropropagation du signal d'une entrée de porte vers une autre entrée. La sortie de la porte se repère par une résistance au milieu des diodes.

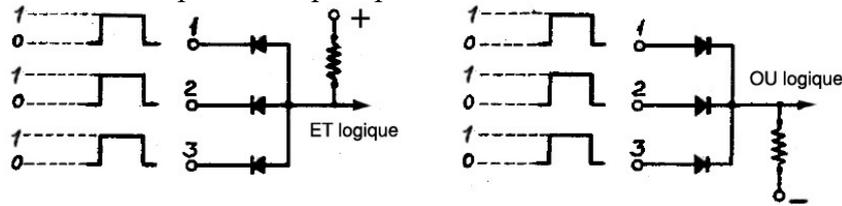


Figure 4 porte ET (notée \wedge) et porte OU (notée \vee)

La résistance donne la valeur par défaut de la porte, c'est la valeur quand aucune diode ne conduit. En plus du « ET logique » et du « OU logique », le complément logique est fourni sans coût par le « pulse shaper ».

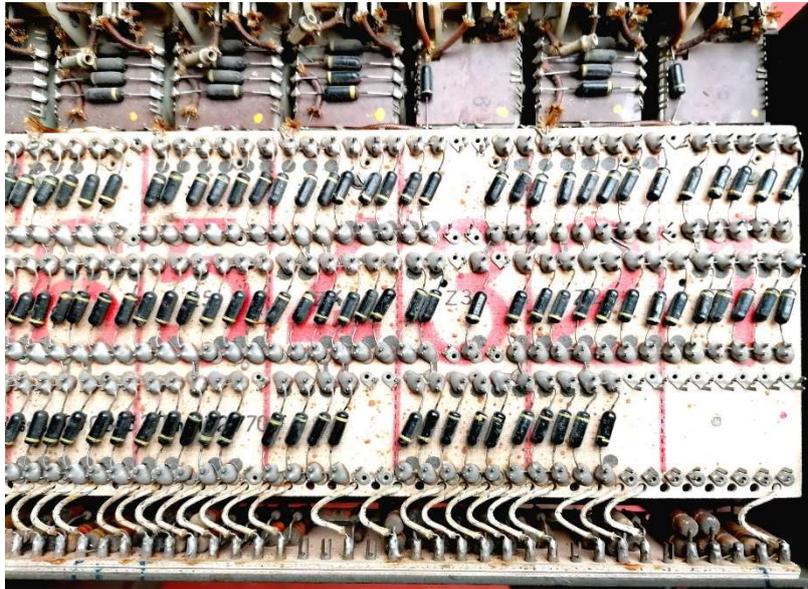


Figure 5 Logique à diodes

Les diodes au germanium du Gamma 3 sont soudées une à une à la main. Ce travail, qui s'ajoute au câblage de la machine et au montage, également manuel, des autres composants, fait du Gamma 3 un produit très consommateur de main d'œuvre, comme ses concurrents de l'époque. Les diodes subissaient une sévère sélection préalable pour optimiser la fiabilité. Contrairement aux tubes, les diodes à jonction du Gamma 3 étaient des semi-conducteurs modernes et innovants à l'époque. De plus ils vieillissaient très bien.

7. Instructions arithmétiques

Le Bull Gamma 3 calculait en binaire ou en décimal sur des entiers de 48 bits ou 12 chiffres. Ses instructions sont codées sur 4 champs de 4 bits, donc avec 4 valeurs chacune de 0 à 15 :

- un type d'opération (**TO**),
- une adresse de mémoire (**AD**),
- un ordre début (**OD**),
- un ordre fin (**OF**).

Valeur de TO	10	11	12	13	14	15
Mnémonique	AN	SN	MR	DR	MC	DC
Opération	+	-	×	÷	×	÷

Le champ **AD** est l'adresse d'une des 15 mémoires générales M1 à M15 et les deux autres champs **OD** et **OF** sont un complément d'adresse.

Pour mémoire voici les temps d'exécution de ces 4 opérations arithmétiques

Addition (AN) : 17,9 à 23,4 ms

Soustraction (SN) : 20,4 à 26 ms

Multiplication (MR & MC) : 19,6 à 33,2 ms

Division (DR & DC) : 21 à 34,7 ms

La mémoire M1 est débanalisée et sert d'accumulateur, la mémoire M2 est son extension.

L'instruction **TO** = 1, **AD** = 10 passe en mode calcul décimal et **TO** = 1, **AD** = 15 passe en mode binaire. Tout programme de calcul commençait par l'une de ces deux instructions.

8. Représentation des entiers

Les nombres entiers sont représentés par des impulsions qui recirculent en permanence dans les lignes à retard. Chaque impulsion représente un bit par sa présence (1) ou son absence (0).

En binaire, les poids des bits sont classiquement les puissances consécutives de 2.

En décimal, les bits sont de poids 1 2 4 8 10 20 40 80 100 200 400 800 1000 ...

La valeur du nombre décimal $A = a_0 a_1 a_2 a_3 a_4 \dots a_{47}$ est : $\sum_{n=0}^{11} (\sum_{i=0}^3 a_{i+4n} \times 2^i) \times 10^n$

9. Addition décimale en série

L'algorithme d'addition en série, chiffre à chiffre, en base 10, est celui qu'apprennent les écoliers en CP vers 5 ou 6 ans (en devant apprendre par cœur les tables d'addition)⁵

10. Additionneur binaire série AO

Les bits successifs des deux nombres binaires entrent vers **Ea** et **Eb**, **s** est un bit de la somme, **Ec** est la retenue entrante, **r** la retenue sortante. Les équations logiques de **AO** sont comme suit :

$r = \text{majorité} (Ea, Eb, Ec)$

$s = Ea \oplus Eb \oplus Ec$ (somme modulo 2)

Les deux boîtes hachurées de la Figure 6 sont des régénérateurs d'impulsion (pulse shaper) et **T** l'horloge bit.

Le délai de l'additionneur est de 0,75 période *p* environ, auquel s'ajoute le délai du régénérateur contrôlé par l'horloge bit **T** pour donner un délai de très exactement 1 période

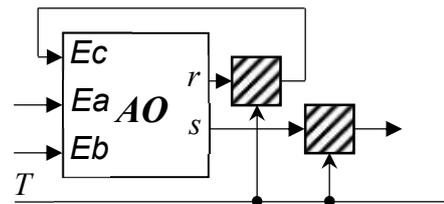


Figure 6 Additionneur binaire série

11. Analyse du schéma de l'additionneur/soustracteur binaire AO

Les régénérateurs d'impulsion de la figure 7 (boîtes hachurées notées **AI**) fournissent le signal d'entrée resynchronisé et son complément (sortie en haut).

Ce schéma d'additionneur/soustracteur comporte 9 portes logiques encadrées par des rectangles pointillés. Pour analyser ce schéma, on va lui appliquer les 8 combinaisons des 3 entrées **Ea**, **Eb** et **Ec**, sous forme de 3 vecteurs de 8 bits, (01010101, 00110011, 00001111) et calculer tous les signaux intermédiaires et finalement les sorties **S** et **R** sous forme de vecteurs.

Dans la figure 7, les vecteurs de chaque équipotentielle sont notées sur le trait la représentant. Ces vecteurs se calculent aisément de tête à partir des portes logiques à diodes (voir figure 4). Sur la figure 7 on n'a noté que l'addition (**ES** = 0). La soustraction (**ES** = 1) s'en déduit.

⁵ Cette addition me fait penser à une fermeture éclair, parcourue par la glissière qui fait progressivement la jonction (la somme) de deux parties en une seule.

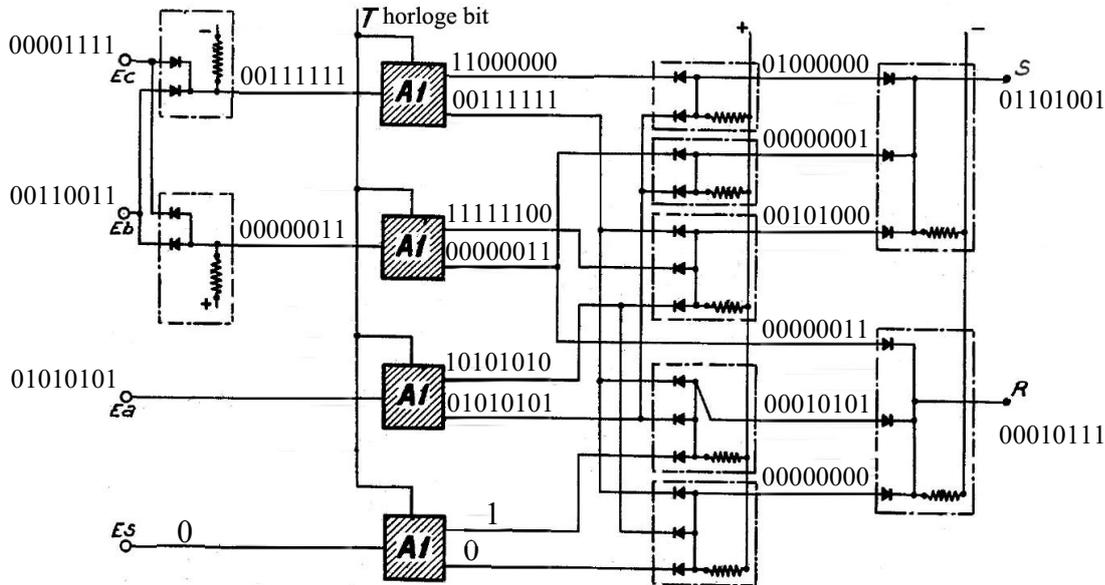


Figure 7 Analyse du schéma de l'additionneur/soustracteur binaire A0

Quand $ES = 0$, l'additionneur/soustracteur effectue une addition :

Les vecteurs de 8 bits des entrées Ea , Eb et Ec et des sorties S et R de la figure 7 sont rangés verticalement dans la table de vérité ci-contre.

L'additionneur matérialise l'égalité arithmétique :

$$Ea + Eb + Ec = \Sigma = S + 2R. \Sigma \text{ est noté en décimal dans la table.}$$

C'est un réducteur 3 bits \rightarrow 2 bits qui conserve la valeur.

Ea	Eb	Ec	Σ	S	R
0	0	0	0	0	0
1	0	0	1	1	0
0	1	0	1	1	0
1	1	0	2	0	1
0	0	1	1	1	0
1	0	1	2	0	1
0	1	1	2	0	1
1	1	1	3	1	1

Quand $ES = 1$, l'additionneur/soustracteur effectue une soustraction :

Le soustracteur matérialise l'égalité arithmétique :

$$Ea - Eb - Ec = \Sigma = S - 2R. \Sigma \text{ est noté en décimal dans la table.}$$

On observe que la sortie S est la même pour l'addition et pour la soustraction (c'est l'imparité), seule la sortie R est différente.

Ea	Eb	Ec	Σ	S	R
0	0	0	0	0	0
1	0	0	1	1	0
0	1	0	-1	1	1
1	1	0	0	0	0
0	0	1	-1	1	1
1	0	1	0	0	0
0	1	1	-2	0	1
1	1	1	-1	1	1

12. Additionneur/soustracteur décimal série

En « décimal codé binaire » les bits sont regroupés par paquet de 4 pour coder des chiffres décimaux, $\in [0..9]$. Soit s_1, s_2, s_4 et s_8 le paquet de 4 bits de la somme/différence de deux chiffres décimaux, r est la retenue sortante.

En base 2 la somme/différence S de deux chiffres vaut $s_1 + 2s_2 + 4s_4 + 8s_8 \pm 16r$

En base 10 on veut que $S = s'_1 + 2s'_2 + 4s'_4 + 8s'_8 \pm 10r'$, c'est-à-dire que la retenue sortante r' soit de poids 10 (au lieu de 16 en base 2).

Pour une somme la retenue est positive (signe +) et négative pour une différence (signe -)

Alors la retenue r' vaut 1 si la somme $S > 9$.

L'additionneur/soustracteur décimal est calqué sur l'additionneur/soustracteur binaire (Figures 6 et 7) auquel on ajoute :

1 - Le calcul du signal $d = (S > 9)$

2 - La correction de la somme S de l'addition/soustraction binaire si $d = 1$.

13. Calcul du signal $d = (S > 9)$

$S = s_1 + 2s_2 + 4s_4 + 8s_8 + 16r$ est plus grand que 9 si $r \vee (s_8 \wedge (s_2 \vee s_4))$.

Donc $d = r \vee (s_8 \wedge (s_2 \vee s_4))$. d est calculé dans la boîte D de la Figure 8

Or s_1, s_2, s_4, s_8 et r sont des impulsions générées séquentiellement (la sortie S de la figure 8) suivant une période p . Pour les utiliser simultanément, on va en décaler certains dans le temps grâce à de petites lignes LC de retard p ou multiple de p montées en série, puis échantillonner le résultat grâce à l'horloge chiffre.

14. Correction de l'addition/soustraction binaire

Le poids de la retenue sortante r est 16 en base 2, et 10 en base 10, la différence est 6. Pour conserver la même valeur de S , il faut ajouter/soustraire 6 à $s_1 s_2 s_4 s_8$ sortant de l'additionneur binaire si d . Autrement dit, $s'_1 s'_2 s'_4 s'_8 = s_1 s_2 s_4 s_8 \pm 6$. Cela demande un autre additionneur/soustracteur, noté AO' , semblable au premier (figure 8).

15. Exemple d'addition binaire avec correction décimale : $15 + 17 = 32$

Décimal		Binaire			
1	5	0001	0101	Accumulateur M1 contient 1 5	
+	1	7	0001	0111	Ajout de 1 7
=	2	C	0010	1100	C en hexadécimal ($C \approx 12$ décimal)
+	0	6	0000	0110	Ajout de 6 modulo 16 ($6 - 16 = -10$)
=	3	2	0011	0010	Somme en décimal

Calcul de $15 + 17$. Avant correction $15 + 17 = 2C$, est mathématiquement correct, C est un chiffre hexadécimal mais pas un chiffre décimal ($C > 9$). Pour le rendre décimal il faut lui retirer 10 et propager une retenue. $C - 10 = 2$.

16. Exemple de soustraction binaire avec correction décimale : $25 - 17 = 8$

Décimal		Binaire			
2	5	0010	0101	Accumulateur M1 contient 2 5	
-	1	7	0001	0111	Soustraction de 1 7
=	1	$\bar{2}$	0001	1110	$1110 = -2$ modulo 16
-	1	6	0000	0110	Soustraction de 6 modulo 16 ($-6 + 16 = 10$)
=	0	8	0000	1000	Différence en décimal

Calcul de $25 - 17$. Avant correction $25 - 17 = 1\bar{2}^6$, c'est mathématiquement correct ($1\bar{2} = 8$) mais $\bar{2}$ n'est pas un chiffre décimal ($\notin [0..9]$). Il faut lui retirer 6 modulo 16 et propager une retenue : $\bar{2} - 6 + 16 = 8$.

17. Schéma de principe de l'additionneur/soustracteur décimal

Par commodité, les régénérateurs de la Figure 7 (carrés hachurés) sont incluses dans les additionneur AO et AO' (d'où les entrées ET et ET' de l'horloge bit T de la Figure 8. La boîte D reçoit la somme S et la retenue R de AO . Elle reçoit T'' , qui est l'horloge chiffre. Elle calcule la nouvelle retenue R'' (qui diffère de R si $S > 9$), réinjectée dans AO (avec une porte ou câblée). Elle calcule également S'' qui vaut 6 si R'' vaut 1 et zéro autrement. S'' va vers l'additionneur AO' . G inhibe la retenue à chaque nouveau chiffre. Les boîtes $r1, r2$ et $r3$ de la Figure 8 sont de petites lignes à retard. L'additionneur introduit un retard de 5 périodes p de l'« horloge bit ». Le dispositif marqué G est destiné à mettre à 0 la première retenue du calcul d'un chiffre en inhibant l'horloge bit T avec l'horloge chiffre T'' au début de chaque chiffre.

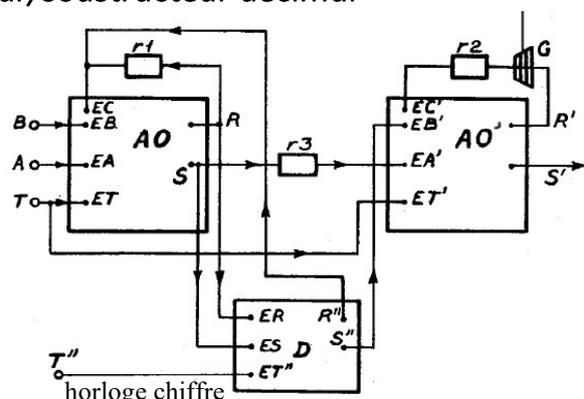


Figure 8 Schéma de principe

⁶ $\bar{2}$ dénote -2, pour distinguer le signe du signe négatif de la soustraction. La barre au-dessus est un macron.

18. Schéma détaillé de la boîte D

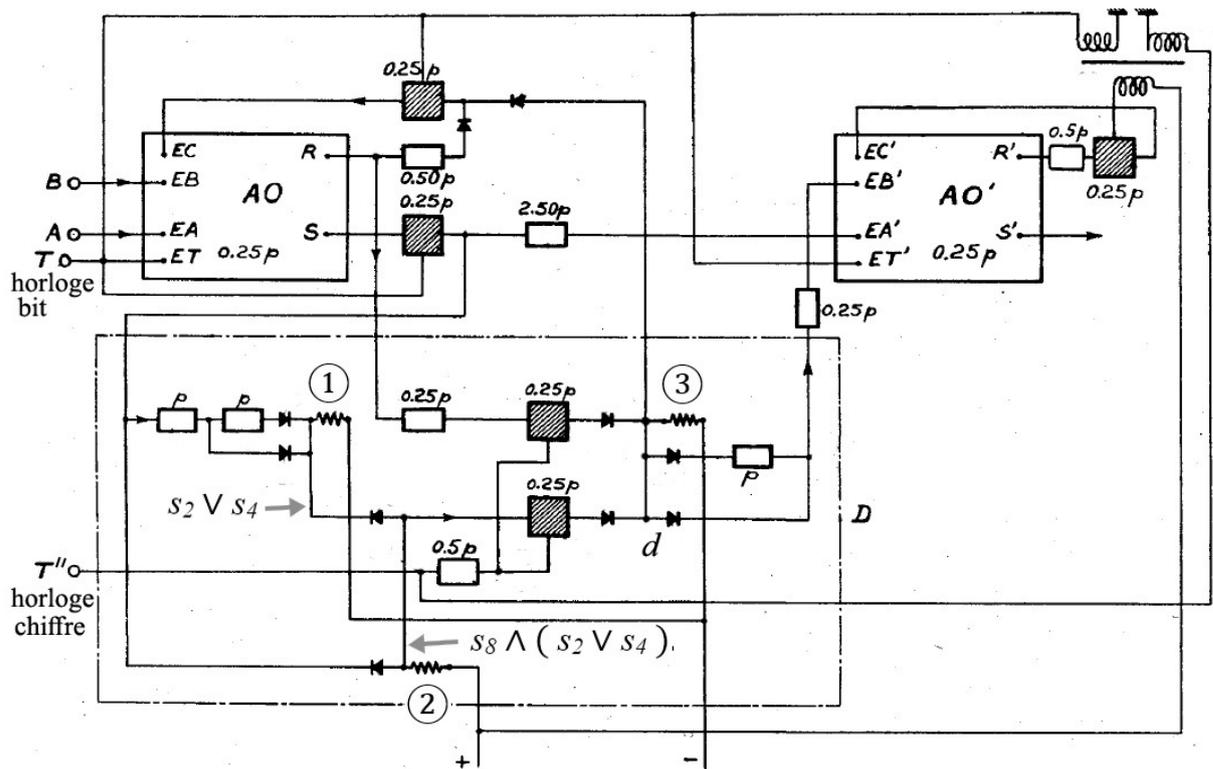


Figure 9 Détail de la boîte D

Avec un peu d'attention on repère les 3 portes logiques du calcul de d par les résistances ①, ② et ③. L'horloge chiffre T'' retardée permet de générer l'impulsion du résultat du calcul booléen $s_8 \wedge (s_2 \vee s_4)$ à la fin du calcul de cette expression.

19. Chronogramme de l'addition/soustraction décimale $A \pm B$

Entrée en série du chiffre A	a_1	a_2	a_4	a_8				
Entrée en série du chiffre B	b_1	b_2	b_4	b_8				
Addition/soustraction binaire $S = A \pm B$		s_1	s_2	s_4	s_8			
Retenue sortante de l'addition/soustraction r					r			
S retardé de $3p$ pour la 2 ^{em} addition					s_1	s_2	s_4	s_8
Échantillonnage $d = r \vee (s_8 \wedge (s_2 \vee s_4))$	0			0	0	d	d'	0
Somme/différence décimale $S' = A \pm B$						s'_1	s'_2	s'_4

Ce tableau note le déroulement dans le temps (de gauche à droite) de l'addition/soustraction de deux nombres, plus précisément de 1 chiffre de chacun de ces deux nombres. Chaque case dure une période bit p . Seules les informations concernant ces deux chiffres A et B sont notées. Les cases laissées vides dans le tableau concernent 2 autres chiffres de ces mêmes nombres dans le pipeline, lequel calcule en permanence 3 chiffre, dont 1 seul achevé. Le bit d est calculé en permanence mais n'est échantillonné qu'une fois par chiffre, quand sa valeur est pertinente, instant marqué par un trait gras, donné par l'horloge chiffre T'' retardée de une période p , d' est une copie de d retardé de p . Cet échantillonnage ne génère qu'une impulsion, après c'est 0, (pas d'impulsion, les 0 du tableau), précisément les chiffres qu'on veut pour faire le 6 binaire.

20. Impulsion fugitive saisie « juste à temps »

On ne peut faire une combinaison booléenne d'impulsions que lorsqu'elles sont toutes présentes, (elles ne sont pas rémanentes, comme la logique combinatoire des processeurs intégrés). Comme on ne peut pas anticiper celles qui vont arriver plus tard, il faut retarder

(avec une petite ligne à retard) celles qui arrivent en avance. Ainsi d est échantillonné quand tout est prêt par l'horloge chiffre T'' retardée de p . L'impulsion s_2 est issue de la sortie S resynchronisée puis retardée de $2p$, de même l'impulsion s_4 est S retardée de $1p$. Il faut également tenir compte des délais de la technologie. Ainsi une impulsion est calibrée pour durer $0,5p$. L'échantillonner en son milieu ajoute mécaniquement un délai de $0,25p$ pour les « pulse shaper ». De même les portes logiques à diode ajoutent un délai d'environ $0,25p$. Dans la figure 9, on observe 15 délais, introduits ou subis, tous multiples de $0,25p$. On peut vérifier que les délais entre entrées et sortie primaires (compte tenu des « pulse shaper ») ainsi que les délais des boucles internes sont des multiples entiers de la période p .

21. Mémorisation et addition/soustraction

Pour mémoriser, les lignes à retard de 12 chiffres décimaux sont rebouclées. Une prise avant le dernier chiffre de chacune des lignes à retard permet d'extraire les chiffres A et B (4 bits). En cas d'addition (respectivement soustraction), le chiffre $A + B$ (respectivement $A - B$), sortant de l'opérateur d'addition/soustraction, prend la place du chiffre A avec le décalage.

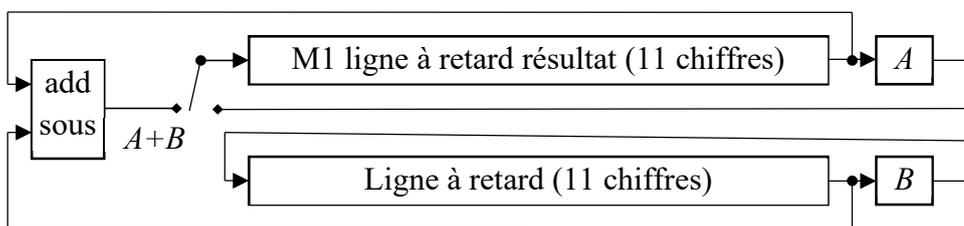


Figure 9 Addition/soustraction de 12 chiffres décimaux

L'addition ou soustraction commence quand A est le chiffre unité et se termine après le calcul de 12 chiffres (horloge nombre).

22. Mémorisation et décalage (multiplication par 10)

Si on introduit pendant la durée de 1 cycle nombre un retard supplémentaire de 1 chiffre dans la ligne à retard, le contenu de la mémoire est décalé de 1 position à gauche.

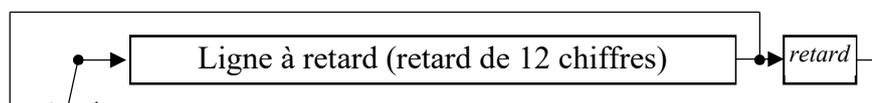


Figure 10 Décalage à gauche par un retard additionnel dans la boucle
La même opération répétée pendant 11 cycles nombre produit un décalage à droite.

23. Incrémentation et décrémentation

Un petit automate à 2 états permet d'incrémenter ou bien de décrémentation le chiffre poids faible (unité) d'un nombre circulant dans la ligne à retard M2.

La variable d'état U de l'automate est initialisée à 1 au début du nombre (chiffre unité) et retourne à 0 dès que l'incrément ou la décrémentation est effectuée.

$$S = E \oplus U; U = U \wedge ((up \wedge E) \vee (down \wedge \bar{E}))$$

Remarque : Cet automate ne modifie qu'un chiffre (4 bits) et ne peut modifier un nombre. Autrement dit, il peut seulement compter de 0 à 9 ou bien décompter de 9 à 0 en décimal et de 0 à 15 ou de 15 à 0 en binaire.

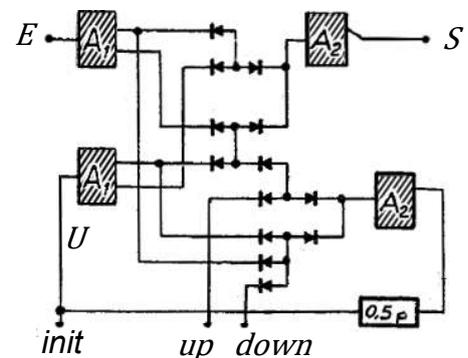


Figure 11 schéma de Incrémentation / décrémentation

24. Multiplication par additions conditionnelles et décalages

La ressource mémoire du Bull Gamma 3 est très limitée.

Dans une multiplication itérative $P = A \times B$, chaque fois que l'écriture du produit partiel demande un chiffre de plus, on consomme un chiffre du multiplicateur A .

Le produit partiel P et le reliquat du multiplicateur A sont dans les mémoires M1 & M2. Le multiplicande B est dans une mémoire quelconque, autre que M1 ou M2.

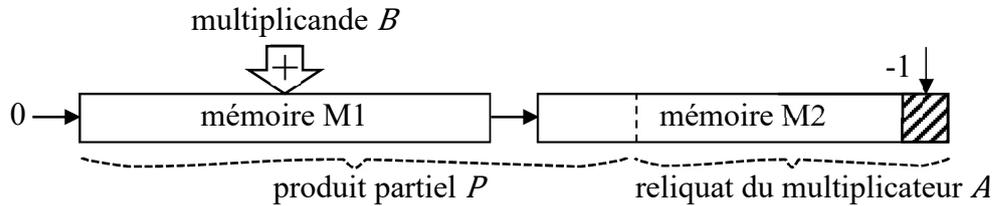


Figure 12 Multiplication par additions et décalages

Si le chiffre de l'unité de la mémoire M2 (hachuré) est supérieur à zéro, on ajoute le multiplicande à la mémoire M1 et simultanément on décrémente ce chiffre unité de la mémoire M2.

Sinon on décale vers la droite l'ensemble M1 & M2 en introduisant un 0.

Sur ce schéma (comme celui de la division ci-dessous) on n'a pas noté les boucles de recirculation des bits dans les lignes à retard M1 et M2.

25. Division à restauration

De même pour une division itérative $Q = A \div B$, chaque fois que le reste partiel perd un chiffre en tendant vers zéro, le quotient partiel Q en gagne un.

D'où l'idée de ranger dans les mémoires M1 & M2 le reste partiel et les chiffres déjà calculés du quotient Q .

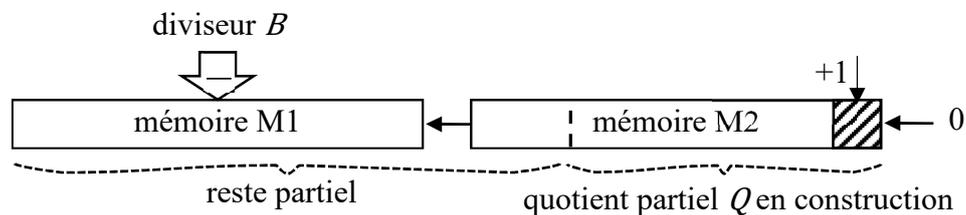


Figure 13 Division par soustractions et décalage

On soustrait le diviseur B de la mémoire M1 et simultanément on incrémente le chiffre unité de la mémoire M2. Si le résultat M1 de la soustraction est positif ou nul, on itère ce même pas. Il maintient l'égalité « dividende = reste-partiel + (diviseur \times quotient-partiel) »

Sinon ($M1 < 0$) on ajoute le diviseur B à M1 et simultanément on décrémente le chiffre unité de M2, puis on décale M1 et M2 de 1 chiffre à gauche, ce qui introduit le chiffre 0 en poids faible de M2. Puis on retourne au début.

Le chiffre courant du quotient Q va être construit par incrémentation du chiffre 0 introduit en poids faible de M2.

26. Multiplication et division décimale et binaire

Le multiplieur et le diviseur du Bull Gamma 3 est insensible à la base de numération (de 2 à 16) pourvu que l'addition et la soustraction soient dans la base voulue.

27. Multiplication et division complète ou réduite

Le Gamma 3 peut effectuer la multiplication complète MC vue ci-dessous ou bien une multiplication MR réduite aux forts poids du produit. De même il peut effectuer une division

complète DC ou bien une division DR réduite. Dans le cas d'opérations réduites, le nombre de chiffres du multiplicateur ou du quotient est donnée par le champ AD de l'instruction.

28. Conclusion

Cet article ne détaille qu'une petite partie du Gamma 3 : l'unité arithmétique, et encore, seules l'addition et la soustraction, en base 2 et en base 10, sont précisées au niveau composant (diode et retard). Mais expliquer l'arithmétique est probablement ce qu'il y a de plus simple dans cette machine.

L'économie de moyens du Gamma 3 est tout à fait remarquable. Cette machine de 900 Kg utilise seulement environ 400 tubes. Le fonctionnement d'un tube est très comparable à celui d'un transistor à effet de champ FET. C'est d'ailleurs à cause de cette similitude qu'est appelé « grille » l'électrode de commande du transistor FET, bien que les électrons ne passent aucunement entre les barreaux d'une grille comme dans un tube.

Le Gamma 3 exécutait environ 50 instructions par seconde, ce qui était un ordre de grandeur la performance des tabulatrices électromécaniques qu'il remplaçait. Au début de sa carrière, le Gamma 3 se comparait très favorablement à ses concurrents directs l'IBM 604 puis l'IBM 700, cependant dès 1960, IBM sorti son 1401, petit, car transistorisé, simple d'utilisation, consommant peu et de performances comparables au Gamma 3.

Avec la logique à impulsion du Gamma 3, tout commute (change de tension électrique) tout le temps, ou presque. La puissance électrique consommée, 3 kW, pour une puissance de calcul à peine comparable à une calculette, est énorme. Si les milliards de transistors d'un microprocesseur contemporain commutaient tous en même temps le circuit fondrait instantanément.

29. Le Bull Gamma 3 extension tambour vit encore un peu

Pas lui, mais son fantôme, sous la forme d'un assembleur/émulateur/debugueur/désassembleur disponible sur Internet, écrit par des étudiants de l'Université Grenoble Alpes. Chaque année quelques équipes d'étudiants développent un compilateur Java pour le Gamma 3.

30. Remerciements

L'auteur remercie chaleureusement Pierre Mounier-Kuhn pour ses suggestions enrichissantes.

31. Références

Cet article est basé, en majorité, sur des brevets déposés par le « Compagnie des machines BULL ». On peut rechercher et télécharger ces brevets grâce à Google Patent.

US2722375 25/05/1951 MULTIPLYING DEVICES FOR ACCOUNTING MACHINES
(*Multiplication de tabulatrice*)
US2861740 25/09/1951 ELECTRONIC ADDING DEVICE (*Addition BCD du Gamma 3*)
US2781968 05/04/1952 ADDITION AND SUBTRACTION OPERATING DEVICE FOR ELECTRIC CALCULATING MACHINE (*Addition binaire et BCD du Bull Gamma 3*)
US2863604 23/09/1952 ELECTRONIC CALCULATOR FOR MULTIPLICATION AND DIVISION (*Multiplication et division BCD du Bull Gamma 3*)
GB764522A 02/06/1953 IMPROVEMENTS IN OR RELATING TO ELECTRONIC COMPUTERS (*Tableau d'instructions du Bull Gamma 3*)
US2795378 03/05/1954 APPARATUS FOR SUBTRACTING NUMBERS REPRESENTED BY CODED PULSES (*Soustraction BCD du Bull Gamma 3*)
FR1030308A 11/03/1953 DISPOSITIF DE MULTIPLICATION (*Multiplication du Gamma 3*)
FR1064928A 30/12/1953 CALCULATRICE ÉLECTRIQUE A PROGRAMME MODIFIABLE

Livres :

ORGANISATION ET FONCTIONNEMENT DES MACHINES ARITHMÉTIQUES ,
H. Boucher, Masson et C^{ie}, 1960, 427 pages,
L'INFORMATIQUE EN FRANCE, DE LA SECONDE GUERRE MONDIALE AU PLAN CALCUL.
L'ÉMERGENCE D'UNE SCIENCE ,
P. Mounier-Kuhn, PUPS, 2010, 720 pages

Logiciels :

un émulateur : <https://www.aconit.org/histoire/Gamma-3/Simulateur/> (Gamma 3 extension tambour)
un modèle 3D : https://www.aconit.org/histoire/Gamma-3/Simulateur_3D/ (en cours de construction)
un tableau de programmation : https://www.aconit.org/histoire/Gamma-3/Tableau_de_connexion/

Articles de vulgarisation sur le Gamma 3:

Maurice Geynet

<https://www.echosciences-grenoble.fr/articles/destin-d-objets-scientifiques-et-techniques-l-aventure-du-gamma-3-5-10-annee-2018>

Bruno Leclercq

http://www.aconit.org/histoire/Gamma-3/Articles/Bull_Gamma_3_Leclercq.doc

Liste de documentations sur le Gamma 3 (tableur Excel)

<https://www.aconit.org/histoire/Gamma-3/Gamma-3-histoire.xls>